

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-086805

(43)Date of publication of application : 20.03.2003

(51)Int.Cl.

H01L 29/786

H01L 21/316

H01L 51/00

(21)Application number : 2001-272607

(71)Applicant : RICOH CO LTD

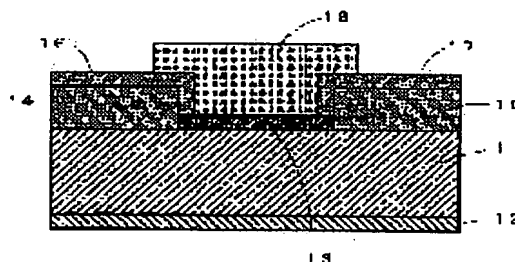
(22)Date of filing : 07.09.2001

(72)Inventor : IECHI HIROYUKI

(54) THIN FILM TRANSISTOR AND ELECTRICAL INSULATION FILM AND METHOD OF MANUFACTURING THESE**(57)Abstract:**

PROBLEM TO BE SOLVED: To provide a thin film transistor with reduced threshold operating voltage and an electrical insulation film, and also to provide a method of manufacturing these.

SOLUTION: The thin film transistor comprises (a) a source region composed of a source electrode 16 and a source electrical insulation layer 14, (b) a drain region which consists of a drain electrode 17 and a drain electrical insulation layer 15, (c) a channel region composed of an organic semiconductor layer 18 formed of at least an organic semiconductor material which connects the source region and the drain region, (d) a gate region composed of (1) a gate electrical insulation layer 13 provided along the lower surface of a portion of the channel region between the source region and the drain region, (2) a gate layer 11 formed of a semiconductor material provided on the lower surfaces on the same plane of the source region, the gate electrical insulation layer 13, and the drain region, and (3) a gate electrode 12 provided in the gate layer 11.

**LEGAL STATUS**

[Date of request for examination] 26.07.2006

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2003-86805

(P2003-86805A)

(43)公開日 平成15年3月20日(2003.3.20)

(51)Int.Cl.

識別記号

F I

ターミナル*(参考)

H 0 1 L 29/786

H 0 1 L 21/316

S 5 F 0 5 8

21/316

29/78

6 1 8 B 5 F 1 1 0

51/00

6 1 7 T

6 1 7 U

29/28

審査請求 未請求 請求項の数24 O L (全 13 頁)

(21)出願番号

特願2001-272607(P2001-272607)

(22)出願日

平成13年9月7日(2001.9.7)

(71)出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72)発明者 家地 洋之

東京都大田区中馬込1丁目3番6号 株式

会社リコー内

(74)代理人 100060690

弁理士 瀧野 秀雄

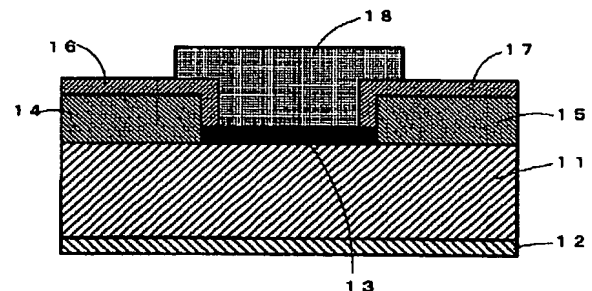
最終頁に続く

(54)【発明の名称】 薄膜トランジスタ、電気絶縁膜及びそれらの製造方法

(57)【要約】

【課題】 トランジスタ動作のしきい電圧を低減した薄膜トランジスタ、電気絶縁膜及びそれらの製造方法を低コストで提供する。

【解決手段】 (イ) ソース電極16及びソース電気絶縁層14からなるソース領域と、(ロ) ドレイン電極17及びドレイン電気絶縁層15からなるドレイン領域と、(ハ) 前記ソース領域と前記ドレイン領域とを結ぶ少なくとも有機半導体材料で構成される有機半導体層18からなるチャネル領域と、(ニ) ①前記ソース領域と前記ドレイン領域との間の前記チャネル領域の下面に沿って設けたゲート電気絶縁層13、②前記ソース領域、前記ゲート電気絶縁層13及び前記ドレイン領域の同一平面となる下面に設けた半導体材料で構成されるゲート層11並びに③前記ゲート層11に設けたゲート電極12からなるゲート領域と、を備えた薄膜トランジスタとする。



【特許請求の範囲】

【請求項 1】 (イ) ソース電極及びソース電気絶縁層からなるソース領域と、(ロ) ドレイン電極及びドレイン電気絶縁層からなるドレイン領域と、(ハ) 前記ソース領域と前記ドレイン領域とを結ぶ少なくとも有機半導体材料で構成される有機半導体層からなるチャネル領域と、

(ニ) ①前記ソース領域と前記ドレイン領域との間の前記チャネル領域の下面に沿って設けたゲート電気絶縁層、②前記ソース領域、前記ゲート電気絶縁層及び前記ドレイン領域の同一平面となる下面に設けた半導体材料で構成されるゲート層並びに③前記ゲート層に設けたゲート電極からなるゲート領域と、を備えたことを特徴とする薄膜トランジスタ。

【請求項 2】 ソース領域及びドレイン領域がゲート領域の一部であるゲート層の表面に配置されると共に、チャネル領域がゲート領域の一部であるゲート電気絶縁層を介して前記ゲート層の表面に配置され、ゲート領域の一部であるゲート電極が前記ゲート層の裏面に配置されることを特徴とする請求項 1 記載の薄膜トランジスタ。

【請求項 3】 前記ゲート層が基板を兼ねることを特徴とする請求項 1 又は 2 記載の薄膜トランジスタ。

【請求項 4】 前記基板がガラス、プラスチック、石英、アンドープ・シリコン (Si 単結晶) 及び高ドーパ・シリコン (Si 単結晶) からなる群より選択される材料で構成されていることを特徴とする請求項 3 記載の薄膜トランジスタ。

【請求項 5】 前記プラスチックがポリカーボネート、マイラー及びポリイミドからなる群から選択されることを特徴とする請求項 4 記載の薄膜トランジスタ。

【請求項 6】 前記ゲート電極、ソース電極及びドレイン電極が、クロム (Cr)、チタン (Ti)、銅 (Cu)、アルミニウム (Al)、モリブデン (Mo)、タングステン (W)、ニッケル (Ni)、金 (Au)、パラジウム (Pd)、白金 (Pt)、銀 (Ag)、錫 (Sn)、導電性ポリアニリン、導電性ポリピロール、導電性ポリチアジル及び導電性ポリマとこれらの組合せよりなる群から選択される材料で構成されていることを特徴とする請求項 1～5 のいずれかに記載の薄膜トランジスタ。

【請求項 7】 前記ソース電極及びドレイン電極は、それぞれ、Au 膜と Cr 膜からなる二層電極又は Au 膜と Pt 膜からなる二層電極により構成されていることを特徴とする請求項 1～6 のいずれかに記載の薄膜トランジスタ。

【請求項 8】 前記ゲート電極、ソース電極及びドレイン電極が、100～500 nm の厚みを有することを特徴とする請求項 1～7 のいずれかに記載の薄膜トランジスタ。

【請求項 9】 前記ゲート電気絶縁層が、二酸化ケイ素、チタン酸バリウムストロンチウム、ジルコニウム酸

チタン酸バリウム、ジルコニウム酸チタン酸鉛、チタン酸鉛ランタン、チタン酸ストロンチウム、チタン酸バリウム、フッ化バリウムマグネシウム、チタン酸ビスマス、チタン酸ストロンチウムビスマス、五酸化タンタル、タンタル酸ストロンチウムビスマス、タンタル酸ニオブ酸ビスマス、二酸化チタン及び三酸化イットリウムとこれらの組合せよりなる群から選択される材料で構成されていることを特徴とする請求項 1～8 のいずれかに記載の薄膜トランジスタ。

【請求項 10】 前記ゲート電気絶縁層が Si_3N_4 、 Si_xN_y ($x, y > 0$)、 SiO_x 等の窒化ケイ素で構成されていることを特徴とする請求項 1～8 のいずれかに記載の薄膜トランジスタ。

【請求項 11】 前記ゲート電気絶縁層が、10～150 nm の厚みを有することを特徴とする請求項 1～10 のいずれかに記載の薄膜トランジスタ。

【請求項 12】 前記ゲート電気絶縁層が、 Si_3N_4 、 Si_xN_y ($x, y > 0$)、 SiO_x 等の窒化ケイ素よりなる第 2 のゲート電気絶縁層とその上に設けられた二酸化ケイ素よりなる第 1 のゲート電気絶縁層とを有することを特徴とする請求項 1～11 のいずれかに記載の薄膜トランジスタ。

【請求項 13】 前記第 1 のゲート電気絶縁層が 5～50 nm の厚みを有し、そして、前記第 2 のゲート電気絶縁層が 10～150 nm の厚みを有することを特徴とする請求項 12 記載の薄膜トランジスタ。

【請求項 14】 前記第 2 のゲート電気絶縁層の多数の微小間隙の内壁が酸化ケイ素の膜を少なくとも部分的に有することを特徴とする請求項 12 又は 13 記載の薄膜トランジスタ。

【請求項 15】 前記ソース電気絶縁層とドレイン電気絶縁層との厚みは、同等であって、前記ゲート電気絶縁層の厚みよりも厚いことを特徴とする請求項 1～14 のいずれかに記載の薄膜トランジスタ。

【請求項 16】 前記有機半導体材料が、①ナフタレン、アントラセン、テトラセン、ペンタセン、ヘキサセン及びそれらの誘導体よりなる群から選択されるアセン分子材料、②フタロシアニン系化合物、アゾ系化合物及びベリレン系化合物よりなる群から選ばれる顔料及びその誘導体、③ヒドラゾン化合物、トリフェニルメタン化合物、ジフェニルメタン化合物、スチルベン化合物、アリールビニル化合物、ビラゾリン化合物、トリフェニルアミン化合物及びトリアリールアミン化合物よりなる群から選択される低分子化合物及びその誘導体、或いは、④ポリ-N-ビニルカルバゾール、ハロゲン化ポリ-N-ビニルカルバゾール、ポリビニルピレン、ポリビニルアントラセン、ピレンホルムアルデヒド樹脂及びエチルカルバゾールホルムアルデヒド樹脂よりなる群から選択される高分子化合物であることを特徴とする請求項 1～15 のいずれかに記載の薄膜トランジスタ。

10

20

30

40

50

【請求項 17】 (イ) ゲート層の裏面にゲート電極を形成する工程、

(ロ) ゲート層の表面全体に電気絶縁層を形成する工程、
(ハ) 前記電気絶縁層をスパッタリング、エッチング等の手段によりストライプ状にパターンニングしてゲート電気絶縁層を形成する工程、

(ニ) 前記ゲート電気絶縁層をマスクとして、パターンニングの際に露出したゲート層の表面にソース電気絶縁層及びドレイン電気絶縁層を形成する工程、

(ホ) 前記ゲート電気絶縁層をマスクとして、前記ソース電気絶縁層及びドレイン電気絶縁層の上にそれぞれソース電極及びドレイン電極を形成する工程、並びに、

(ヘ) 前記ゲート電気絶縁層上にこれを埋めるように有機半導体材料で有機半導体層を形成する工程、を順次有することを特徴とする薄膜トランジスタの製造方法。

【請求項 18】 前記ゲート電気絶縁層を真空蒸着、スパッタリング、熱 CVD 法、ドライ酸化、ウェット酸化、塗布等の手段で形成することを特徴とする請求項 17 記載の薄膜トランジスタの製造方法。

【請求項 19】 前記有機半導体層を蒸着、化学蒸着、スピコーティング、印刷、塗布及びベーク、エレクトロポリマライゼーション、分子ビーム付着、溶液からのセルフ・アセンブリ、並びに、これらの組合せよりなる群から選択される手段を用いて有機半導体材料で形成することを特徴とする請求項 17 又は 18 記載の薄膜トランジスタの製造方法。

【請求項 20】 (イ) シリコン基板の裏面にゲート電極を形成する工程、

(ロ) シリコン基板の表面全体に窒化ケイ素よりなる 10～150 nm 厚の電気絶縁層を形成する工程、

(ハ) 前記窒化ケイ素よりなる電気絶縁層をスパッタリング、エッチング等の手段を用いてストライプ状にパターンニングして第 2 のゲート電気絶縁層を形成する工程、

(ニ) 前記第 2 のゲート電気絶縁層を形成したシリコン基板を水素及び酸素の存在下において 1000～1100℃で 60～90 分間加熱して、パターンニングの際に露出したシリコン基板の表面を酸化することにより二酸化ケイ素よりなるソース電気絶縁層及びドレイン電気絶縁層を形成すると共に、前記第 2 のゲート電気絶縁層の多数の微小間隙を通じて前記第 2 のゲート電気絶縁層の下

のシリコン基板の表面から気化してきた気体状ケイ素の酸化により生成する二酸化ケイ素で、前記微小間隙の内壁に膜を少なくとも部分的に付着させ、且つ、前記第 2 のゲート電気絶縁層の表面に 5～50 nm 厚の第 1 のゲート電気絶縁層を形成する工程、

(ホ) 前記ゲート電気絶縁層をマスクとして、前記ソース電気絶縁層及びドレイン電気絶縁層の上にそれぞれソース電極及びドレイン電極を形成する工程、並びに、

(ヘ) 前記ゲート電気絶縁層上にこれを埋めるように有機半導体材料で有機半導体層を形成する工程、を順次有す

ることを特徴とする薄膜トランジスタの製造方法。

【請求項 21】 前記有機半導体層を蒸着、化学蒸着、スピコーティング、印刷、塗布及びベーク、エレクトロポリマライゼーション、分子ビーム付着、溶液からのセルフ・アセンブリ、並びに、これらの組合せよりなる群から選択される手段を用いて有機半導体材料で形成することを特徴とする請求項 20 記載の薄膜トランジスタの製造方法。

【請求項 22】 Si_3N_4 、 Si_xN_y ($x, y > 0$)、 SiON_x 等の窒化ケイ素化合物よりなる 10～150 nm 厚の第 2 の電気絶縁層とその上に設けた二酸化ケイ素化合物よりなる 5～50 nm 厚の第 1 の電気絶縁層とを有することを特徴とする電気絶縁膜。

【請求項 23】 前記第 2 の電気絶縁層の多数の微小間隙の内壁が二酸化ケイ素化合物の膜を少なくとも部分的に有することを特徴とする請求項 22 記載の電気絶縁膜。

【請求項 24】 (イ) シリコン基板の表面に Si_3N_4 、 Si_xN_y ($x, y > 0$)、 SiON_x 等の窒化ケイ素化合物よりなる 10～150 nm 厚の第 2 の電気絶縁層を形成する工程、及び、

(ロ) 前記第 2 の電気絶縁層を形成したシリコン基板を水素及び酸素の存在下において 1000～1100℃で 60～90 分間加熱して、前記第 2 の電気絶縁層の多数の微小間隙を通じて前記第 2 の電気絶縁層の下

のシリコン基板の表面から気化してきた気体状ケイ素の酸化により生成する二酸化ケイ素化合物で、前記微小間隙の内壁に膜を少なくとも部分的に付着させ、且つ、前記第 2 の電気絶縁層の表面に 5～50 nm 厚の第 1 の電気絶縁層を形成する工程、を順次有することを特徴とする電気絶縁膜の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタ、電気絶縁膜及びそれらの製造方法に関し、さらに、詳しくは、チャネル領域に有機半導体層を有する薄膜トランジスタ、そのゲート電気絶縁層として構成される電気絶縁膜、及び、それらの製造方法に関する。

【0002】

【従来の技術】薄膜トランジスタ（以下、「TFT」という。）は、アクティブ・マトリックスの液晶ディスプレイ、エレクトロルミネッセンスディスプレイ（以下、「ELディスプレイ」という。）等の駆動用スイッチング素子として広く使用されている。TFT は、電界効果型トランジスタ（以下、「FET」という。）の一例である。最もよく知られている FET は、金属酸化膜半導体 FET（以下、「MOSFET」という。）であって、高速電子応用のスイッチング素子である。MOSFET は、主として、 SiO_2 / 元素 Si トランジスタのことを言う。一般的に、金属-電気絶縁体-半導体を

組合せたFETは、「MISFET」として知られている。TFTは、半導体層が薄膜として基板に付着されたMISFETである。現在、ほとんどのTFTは、アモルファス・シリコンやポリシリコンを半導体層として使用して作製されている。アモルファス・シリコンは、結晶シリコンの安価な代替物であり、トランジスタのコストを低減して大面積の応用例として使用するために提供されている。アモルファス・シリコンは、移動度が $0.1 \sim 1 \text{ cm}^2 / \text{V} \cdot \text{sec}$ 程度であり、また、ポリシリコンは、 $1 \sim 10 \text{ cm}^2 / \text{V} \cdot \text{sec}$ 程度であって、それらは、結晶シリコンの移動度に対して1万分の1～1千分の1ほどであるので、それらの応用は比較的低速のものに限られている。ポリシリコンは、アモルファス・シリコンに対するエキシマレーザー照射等による再結晶化アニールにより形成される。アモルファス・シリコンの基板への成膜は、低温で行われるので結晶シリコンより安価であるが、アモルファス・シリコンの成膜は、プラズマ化学気相成膜等を必要とするので高コストとなる。ポリシリコンの成膜は、前述のようにエキシマレーザー照射等によるアニールプロセスが必要となるので、さらに高コストとなる。

【0003】近年、TFT用のアモルファス・シリコンやポリシリコンに代わる材料として有機半導体が再び注目を浴びている。有機トランジスタの研究は、1980年代初頭から盛んに行われ、低分子、高分子有機半導体膜の基礎的な特性が調べられた。しかしながら、有機半導体材料は、無機半導体材料に比べて低移動度、高抵抗であることから、実用的な観点においてはあまり注目されなかった。最近になって、有機材料の軽量、柔軟性の特徴を生かした携帯用電子機器の用途や液晶に代わる次世代の大面積ディスプレイ素子として実用化に向けた研究が活発に行われ始めている。

【0004】図5は、従来の薄膜トランジスタの断面図である。図5に示される特開平10-270712号公報に記載された発明においては、高濃度にドーブしたシリコン基板上にペンタセン有機材料を成膜してTFT動作をさせており、 $0.52 \text{ cm}^2 / \text{V} \cdot \text{sec}$ の移動度を実現している。しかしながら、ペンタセンで形成された薄膜は、その薄膜の形成に真空成膜が必要であるので、基板に対する付着力も弱く、そのために、脆弱である。APL Vol.73, No. 1 (1998) 108によれば、C.J. Druryらは、基板としてポリイミドを用い、半導体材料としてPTV（ポリチエニレンビニレン）を用い、絶縁材料としてPVP（ポリビニルフェノール）を用い、そして、電極材料としてドーブトポリアニリンを用いて、オール有機材料のTFTを作製することにより、 $3 \times 10^{-4} \text{ cm}^2 / \text{V} \cdot \text{sec}$ の電荷移動度を示すTFTを得ている。しかしながら、このTFTの電荷移動度は、なお低く、改善の余地がまだまだ多くある。これらの事実から、有機半導体材料を用いたTFTの移動度をアモル

ファス・シリコンに近いそれ以上の移動度にするためには有機半導体材料の性能だけでなく、デバイスの構成・構成、TFT作製プロセス、これら三つのトータル性能の向上を目指すことが重要であることがわかる。

【0005】有機半導体材料は、前述の低分子化合物（例えば、ペンタセン、金属フタロシアニン）、短鎖オリゴマー（例えば、 $n=3 \sim 8$ の n -チオフェン）、長鎖ポリマー（例えば、ポリチオフェン、ポリフェニレンビニレン）等がある。前記長鎖ポリマーは、 π 共役結合を有しているので、隣接する多重結合した原子間の原子軌道の重なり合いによって、分子やオリゴマーおよびポリマーに沿った電荷移動が可能になる。また、かかる長鎖ポリマーにおいては、隣接する分子間の分子軌道の重なり合いによっては、分子間の電荷移動が可能になる。小分子又は短鎖オリゴマーの有機薄膜は、有機材料として最も高い電荷移動を示すものとして知られているが、このような高電荷移動度を示す小分子又は短鎖オリゴマーは、真空蒸着によって成膜されるので、規則的に配列された薄膜として付着される。この薄膜内の規則配列は、軌道が重なり合い、隣接する分子間の電荷移動をもたらすと考えられている。前記長鎖ポリマーは、溶剤可溶性であるので、スピン・コーティングやディッピング・コーティングなど低コストの技術で成膜が可能であり、そのために、他のものに比べてコスト的にやや有利であるが、配列が不規則であるために電荷移動度はより低いと予想されている。

【0006】このように、いまのところ、決定的に高い電荷移動度を有する有機半導体材料は見当たらず、今後の高電荷移動度有機材料の出現に期待するところは極めて大きい。有機材料は、熱蒸着、スピン・コーティング、ディッピング・コーティング等などによる、より安価で、容易な成膜技術でTFT用の半導体層を成膜する可能性を持っているが、それでもなお、その電荷移動度は目標とする値より低い。有機材料の典型的な電荷移動度は、小分子／短鎖オリゴマーでは、 $0.001 \sim 0.1 \text{ cm}^2 / \text{V} \cdot \text{sec}$ 、長鎖ポリマーでは $0.0001 \sim 0.01 \text{ cm}^2 / \text{V} \cdot \text{sec}$ である。報告されている有機半導体材料固有の最も高い移動度は、ペンタセンの薄膜の $0.7 \text{ cm}^2 / \text{V} \cdot \text{sec}$ である。

【0007】図5に示すように、従来の薄膜トランジスタは、基板、基板上に設けられたゲート、該ゲート（AlまたはPt/Ti）を覆う高い誘電率のBST絶縁体、該BST絶縁体上の有機半導体層（ペンタセン）、及び、該有機半導体層上にソース／ドレイン（Au）を備えている。前記高誘電率のBST絶縁体は、前記有機半導体層の電圧依存性を引き出すことができるので、ソースドレイン間に電圧を印加しておき、高誘電率のBST絶縁体を介して印加するゲート電圧によりソースドレイン間の電流値を制御することができる。

【0008】

【発明が解決しようとする課題】しかし、かかる従来の薄膜トランジスタは、有機半導体層の厚みがソースドレイン間全てにわたって均一であるので、ゲート電圧の印加による電界強度分布が不均一で散漫となり、そのために、トランジスタ動作のしきい電圧が大きくなるという問題があった。

【0009】本発明は、かかる問題を解決することを目的としている。即ち、本発明は、トランジスタ動作のしきい電圧を低減した薄膜トランジスタ、電気絶縁膜及びそれらの製造方法を低コストで提供することを目的としている。

【0010】

【課題を解決するための手段】本発明者は、薄膜トランジスタ（電界効果型のトランジスタ）の動作機構について以下のように考察した。『ゲート電極に比較的小さい電圧を加えるとゲート領域近傍の有機半導体層内では加えた電圧の極性に反発する電荷のキャリアが追い払われて空乏層が発生する。さらに、ゲート電極に大きな電圧を加えると有機半導体層の表面近傍にキャリアが誘起されるようになり、もともとの表面の導電タイプがp型ならばn型、n型ならばp型に反転するようになる。いったん反転が生じ始めると、ゲート電極に加えられた電圧は、反転層の電荷の増加に費やされて、空乏層の増大には寄与しなくなるので、空乏層巾は最大値に達した後は一定の厚みになる。このような状態で、ソースとドレインとの間に電圧を加えると、キャリアは、ソース側からドレイン側にかかった強い電界に引かれて引き抜かれ、高速でドレインに吸収される。』

【0011】そして、本発明者は、薄膜トランジスタが前記したような動作機構であるので、そのトランジスタ動作のしきい電圧を低減するためには、①空乏層が発生しやすくすること、②反転層が発生しやすくすること、及び、③ソース側のキャリアを高速でドレイン側に吸収させることが重要であると考えて、さらに、実験を続けて探索したところ、前記①については、空乏層が有機半導体層に加わる電圧による電界によって制御されて、ゲート電圧、即ち、ゲート電極からゲート絶縁膜の誘電体膜に加わる電圧が有機半導体に加わるのであるから、誘電体膜にゲート電圧が加わり易くするためには、誘電体膜を誘電率の高い材料で構成すると共にその厚みを薄くすればよいこと、前記②については、電荷移動度の高い半導体材料を配置すればよいこと、そして、前記③については、電荷と電界の関係で等電位面を大きくすると共に電界密度を大きくすればよいこと、を見出して本発明を完成するに至った。

【0012】即ち、請求項1に記載された発明は、上記目的を達成するために、(イ) ソース電極及びソース電気絶縁層からなるソース領域と、(ロ) ドレイン電極及びドレイン電気絶縁層からなるドレイン領域と、(ハ) 前記ソース領域と前記ドレイン領域とを結ぶ少なくとも有機半

導体材料で構成される有機半導体層からなるチャネル領域と、(ニ) ①前記ソース領域と前記ドレイン領域との間の前記チャネル領域の下面に沿って設けたゲート電気絶縁層、②前記ソース領域、前記ゲート電気絶縁層及び前記ドレイン領域の同一平面となる下面に設けた半導体材料で構成されるゲート層並びに③前記ゲート層に設けたゲート電極からなるゲート領域と、を備えたことを特徴とする薄膜トランジスタである。

【0013】請求項2に記載された発明は、請求項1に記載された発明において、ソース領域及びドレイン領域がゲート領域の一部であるゲート層の表面に配置されると共に、チャネル領域がゲート領域の一部であるゲート電気絶縁層を介して前記ゲート層の表面に配置され、ゲート領域の一部であるゲート電極が前記ゲート層の裏面に配置されることを特徴とするものである。

【0014】請求項3に記載された発明は、請求項1又は2に記載された発明において、前記ゲート層が基板を兼ねることを特徴とするものである。

【0015】請求項4に記載された発明は、請求項3に記載された発明において、前記基板が、ガラス、プラスチック、石英、アンドープ・シリコン（Si単結晶）及び高ドーブ・シリコン（Si単結晶）からなる群より選択される材料で構成されていることを特徴とするものである。

【0016】請求項5に記載された発明は、請求項4に記載された発明において、前記プラスチックがポリカーボネート、マイラー及びポリイミドからなる群から選択されることを特徴とするものである。

【0017】請求項6に記載された発明は、請求項1～5のいずれかに記載された発明において、前記ゲート電極、ソース電極及びドレイン電極が、クロム（Cr）、チタン（Ti）、銅（Cu）、アルミニウム（Al）、モリブデン（Mo）、タングステン（W）、ニッケル（Ni）、金（Au）、パラジウム（Pd）、白金（Pt）、銀（Ag）、錫（Sn）、導電性ポリアニリン、導電性ポリピロール、導電性ポリチアジル及び導電性ポリマとこれらの組合せよりなる群から選択された材料で構成されていることを特徴とするものである。

【0018】請求項7に記載された発明は、請求項1～6のいずれかに記載された発明において、前記ソース電極及びドレイン電極は、Au膜とCr膜からなる二層電極又はAu膜とPt膜からなる二層電極により構成されていることを特徴とするものである。

【0019】請求項8に記載された発明は、請求項1～7のいずれかに記載された発明において、前記ゲート電極、ソース電極及びドレイン電極が100～500nmの厚みを有することを特徴とするものである。

【0020】請求項9に記載された発明は、請求項1～8のいずれかに記載された発明において、前記ゲート電気絶縁層が、二酸化ケイ素、チタン酸バリウムストロン

チウム、ジルコニウム酸チタン酸バリウム、ジルコニウム酸チタン酸鉛、チタン酸鉛ランタン、チタン酸ストロンチウム、チタン酸バリウム、フッ化バリウムマグネシウム、チタン酸ビスマス、チタン酸ストロンチウムビスマス、五酸化タンタル、タンタル酸ストロンチウムビスマス、タンタル酸ニオブ酸ビスマス、二酸化チタン及び三酸化イットリウムとこれらの組合せよりなる群から選択される材料で構成されていることを特徴とするものである。

【0021】請求項10に記載された発明は、請求項1～8のいずれかに記載された発明において、前記ゲート電気絶縁層が Si_3N_4 、 Si_xNy ($x, y > 0$)、 SiON_x 等の窒化ケイ素で構成されていることを特徴とするものである。

【0022】請求項11に記載された発明は、請求項1～10のいずれかに記載された発明において、前記ゲート電気絶縁層が10～150nmの厚みを有することを特徴とするものである。

【0023】請求項12に記載された発明は、請求項1～11のいずれかに記載された発明において、前記ゲート電気絶縁層が Si_3N_4 、 Si_xNy ($x, y > 0$)、 SiON_x 等の窒化ケイ素よりなる第2のゲート電気絶縁層とその上に設けられた二酸化ケイ素よりなる第1のゲート電気絶縁層とを有することを特徴とするものである。

【0024】請求項13に記載された発明は、請求項12に記載された発明において、前記第1のゲート電気絶縁層が5～50nmの厚みを有し、そして、前記第2のゲート電気絶縁層が10～150nmの厚みを有することを特徴とするものである。

【0025】請求項14に記載された発明は、請求項12又は13に記載された発明において、前記第2のゲート電気絶縁層の多数の微小間隙の内壁が酸化ケイ素の膜を少なくとも部分的に有することを特徴とするものである。

【0026】請求項15に記載された発明は、請求項1～14のいずれかに記載された発明において、前記ソース電気絶縁層とドレイン電気絶縁層との厚みは、同等であって、前記ゲート電気絶縁層の厚みよりも厚いことを特徴とするものである。

【0027】請求項16に記載された発明は、請求項1～15のいずれかに記載された発明において、前記有機半導体材料が、①ナフタレン、アントラセン、テトラセン、ペンタセン、ヘキサセン及びそれらの誘導体よりなる群から選択されるアセン分子材料、②フタロシアニン系化合物、アゾ系化合物及びベリレン系化合物よりなる群から選ばれる顔料及びその誘導体、③ヒドラゾン化合物、トリフェニルメタン化合物、ジフェニルメタン化合物、スチルベン化合物、アリアルビニル化合物、ピラゾリン化合物、トリフェニルアミン化合物及びトリアリー

ルアミン化合物よりなる群から選択される低分子化合物及びその誘導体、或いは、④ポリ-N-ビニルカルバゾール、ハロゲン化ポリ-N-ビニルカルバゾール、ポリビニルピレン、ポリビニルアントラセン、ピレンホルムアルデヒド樹脂及びエチルカルバゾールホルムアルデヒド樹脂よりなる群から選択される高分子化合物であることを特徴とするものである。

【0028】請求項17に記載された発明は、(イ) ゲート層の裏面にゲート電極を形成する工程、(ロ) ゲート層の表面全体に電気絶縁層を形成する工程、(ハ) 前記電気絶縁層をスパッタリング、エッチング等の手段によりストライプ状にパターンニングしてゲート電気絶縁層を形成する工程、(ニ) 前記ゲート電気絶縁層をマスクとして、パターンニングの際に露出したゲート層の表面にソース電気絶縁層及びドレイン電気絶縁層を形成する工程、(ホ) 前記ゲート電気絶縁層をマスクとして、前記ソース電気絶縁層及びドレイン電気絶縁層の上にそれぞれソース電極及びドレイン電極を形成する工程、並びに、(ヘ) 前記ゲート電気絶縁層上にこれを埋めるように有機半導体材料で有機半導体層を形成する工程、を順次有することを特徴とする薄膜トランジスタの製造方法である。

【0029】請求項18に記載された発明は、請求項17に記載された発明において、前記ゲート電気絶縁層を真空蒸着、スパッタリング、熱CVD法、ドライ酸化、ウェット酸化、塗布等の手段で形成することを特徴とするものである。

【0030】請求項19に記載された発明は、請求項17又は18に記載された発明において、前記有機半導体層を蒸着、化学蒸着、スピンコーティング、印刷、塗布及びペーキング、エレクトロポリマライゼーション、分子ビーム付着、溶液からのセルフ・アセンブリ、並びに、これらの組合せよりなる群から選択される手段を用いて有機半導体材料で形成することを特徴とするものである。

【0031】請求項20に記載された発明は、(イ) シリコン基板の裏面にゲート電極を形成する工程、(ロ) シリコン基板の表面全体に窒化ケイ素よりなる10～150nm厚の電気絶縁層を形成する工程、(ハ) 前記窒化ケイ素よりなる電気絶縁層をスパッタリング、エッチング等の手段を用いてストライプ状にパターンニングして第2のゲート電気絶縁層を形成する工程、(ニ) 前記第2のゲート電気絶縁層を形成したシリコン基板を水素及び酸素の存在下において1000～1100℃で60～90分間加熱して、パターンニングの際に露出したシリコン基板の表面を酸化することにより二酸化ケイ素よりなるソース電気絶縁層及びドレイン電気絶縁層を形成すると共に、前記第2のゲート電気絶縁層の多数の微小間隙を通じて前記第2のゲート電気絶縁層の下にシリコン基板の表面から気化してきた気体状ケイ素の酸化により生成する二酸化ケイ素で、前記微小間隙の内壁に膜を少なくとも部

分的に付着させ、且つ、前記第2のゲート電気絶縁層の表面に5～50nm厚の第1のゲート電気絶縁層を形成する工程、(※) 前記ゲート電気絶縁層をマスクとして、前記ソース電気絶縁層及びドレイン電気絶縁層の上にそれぞれソース電極及びドレイン電極を形成する工程、並びに、(ハ) 前記ゲート電気絶縁層上にこれを埋めるように有機半導体材料で有機半導体層を形成する工程、を順次有することを特徴とする薄膜トランジスタの製造方法である。

【0032】請求項21に記載された発明は、請求項20に記載された発明において、前記有機半導体層を蒸着、化学蒸着、スピンコーティング、印刷、塗布及びベーク、エレクトロポリマライゼーション、分子ビーム付着、溶液からのセルフ・アセンブリ、並びに、これらの組合せよりなる群から選択される手段を用いて有機半導体材料で形成することを特徴とするものである。

【0033】請求項22に記載された発明は、 Si_3N_4 、 Si_xN_y ($x, y > 0$)、 SiON_x 等の窒化ケイ素化合物よりなる10～150nm厚の第2の電気絶縁層とその上に設けた二酸化ケイ素化合物よりなる5～50nm厚の第1の電気絶縁層とで構成したことを特徴とする電気絶縁膜である。

【0034】請求項23に記載された発明は、請求項20に記載された発明において、前記第2の電気絶縁層の多数の微小間隙の内壁が二酸化ケイ素化合物の膜を少なく有することを特徴とするものである。

【0035】請求項24に記載された発明は、(イ) シリコン基板の表面に Si_3N_4 、 Si_xN_y ($x, y > 0$)、 SiON_x 等の窒化ケイ素化合物よりなる10～150nm厚の第2の電気絶縁層を形成する行程、及び、(ロ) 前記第2の電気絶縁層を形成したシリコン基板を水素及び酸素の存在下において1000～1100℃で60～90分間加熱して、前記第2の電気絶縁層の多数の微小間隙を通じて前記第2の電気絶縁層の下のシリコン基板の表面から酸化してきた気体状ケイ素の酸化により生成する酸化ケイ素化合物で、前記微小間隙の内壁に膜を少なくとも部分的に付着させ、且つ、前記第2の電気絶縁層の表面に5～50nm厚の第1の電気絶縁層を形成する工程、を順次有することを特徴とする電気絶縁膜の製造方法である。

【0036】

【発明の実施の形態】図2は、本発明の一実施の形態を示す薄膜トランジスタの製造工程を示す説明図である。図3は、本発明の製造例により制作された薄膜トランジスタの性能を測定したグラフである。図4は、本発明の他の一実施の形態を示す薄膜トランジスタの断面図である。

【0037】本発明の薄膜トランジスタは、(イ) ソース電極16及びソース電気絶縁層14からなるソース領域と、(ロ) ドレイン電極17及びドレイン電気絶縁層15

からなるドレイン領域と、(ハ) 前記ソース領域と前記ドレイン領域とを結ぶ少なくとも有機半導体材料で構成される有機半導体層18からなるチャネル領域と、(ニ) ① 前記ソース領域と前記ドレイン領域との間の前記チャネル領域の下面に沿って設けたゲート電気絶縁層13、② 前記ソース領域、前記ゲート電気絶縁層13及び前記ドレイン領域の同一平面となる下面に設けた半導体材料で構成されるゲート層11並びに③前記ゲート層11に設けたゲート電極12からなるゲート領域と、を備えている。

【0038】本発明の薄膜トランジスタは、このような構成を有しているので、ゲート電極12に比較的小さい電圧を加えると、ゲート領域近傍の有機半導体層18内におけるゲート電気絶縁層13の近傍では、加えた電圧の極性に反発する電荷のキャリアが追い払われて空乏層が発生する。さらに、大きな電圧を加えると有機半導体層18のゲート電気絶縁層13表面近傍に発生した空乏層にキャリアが誘起されるようになり、もともとの有機半導体層18の導電タイプがp型ならばn型、n型ならばp型に反転するようになる。いったん反転が生じ始めるとゲート電極12に加えられた電圧は、反転層の電荷の増加に費やされて、空乏層の増大には寄与しなくなる。即ち、空乏層巾は最大値に達した後は一定の厚みになる。このような状態で、ソース領域(14、16)とドレイン領域(15、17)間に電圧を加えてやればソース側からドレイン側にかかった強い電界に引かれて、反転層中のキャリアを引き抜くことができ、高速でドレインに吸収される。したがって、本発明の薄膜トランジスタは、トランジスタ動作のしきい電圧を低減したものとすることができる。

【0039】本発明においては、そのソース領域及びドレイン領域がゲート領域の一部であるゲート層11の表面に配置されると共に、チャネル領域がゲート領域の一部であるゲート電気絶縁層13を介して前記ゲート層11の表面に配置され、また、そのゲート領域の一部であるゲート電極12が前記ゲート層11の裏面に配置されているので、ソース電極16とゲート電極12との間或いはドレイン電極17とゲート電極12との間のリーク電流を抑制することができる。

【0040】本発明の薄膜トランジスタにおいて、そのしきい電圧をいっそう低減するためには、①ゲート電気絶縁層13を窒化ケイ素で形成して空乏層を発生しやすくすること、②電圧を印加しやすくするためにゲート電気絶縁層13を薄くして反転層が発生しやすくすること、③反転層中に発生したソース側のキャリアを高速でドレイン側に吸収させるべく、ゲート電気絶縁層13とソース電気絶縁層14/ドレイン電気絶縁層15の厚みを変化させ、その際、ゲート電気絶縁層13をソース電気絶縁層14/ドレイン電気絶縁層15よりも薄くすることが好ましく、また、ゲート電気絶縁層13を窒化ケ

イ素で形成すると共にソース電気絶縁層 14/ドレイン電気絶縁層 15 を二酸化ケイ素で形成することが好ましい。ちなみに、 SiO_2 の誘電率は 3.9 であり、また、 Si_3N_4 の誘電率は 7.5 である。

【0041】前記ゲート層 11 は基板を兼ねることができ。このような基板は、例えば、ガラス、プラスチック、石英、アンドープ・シリコン (Si 単結晶) 及び高ドーパ・シリコン (Si 単結晶) からなる群より選択される材料で構成される。前記プラスチックは、例えば、ポリカーボネート、マイラー及びポリイミドからなる群より選択される。このように、前記ゲート層 11 が基板を兼ねるので、ゲート電気絶縁層 13 に印加する電圧のゲート電気絶縁層 13 内における均一化が図れる。

【0042】前記ゲート電極 12、ソース電極 16 及びドレイン電極 17 は、例えば、クロム (Cr)、チタン (Ti)、銅 (Cu)、アルミニウム (Al)、モリブデン (Mo)、タングステン (W)、ニッケル (Ni)、金 (Au)、パラジウム (Pd)、白金 (Pt)、銀 (Ag)、錫 (Sn)、導電性ポリアニリン、導電性ポリピロール、導電性ポリチアジール及び導電性ポリマとこれらの組合せよりなる群から選択される材料で構成される。前記ゲート電極 12、ソース電極 16 及びドレイン電極 17 は、上記金属で構成すると接触抵抗を低減して電気特性を改善することができる。前記ゲート電極 12、ソース電極 16 及びドレイン電極 17 の厚みは、好ましくは、30~500nm である。そして、前記ゲート電極 12、ソース電極 16 及びドレイン電極 17 は、例えば、蒸着、スパッタリング、化学蒸着、電着、無電解メッキ、スピンコーティング、印刷、塗布よりなる群から選択された手段を用いて形成される。

【0043】前記ゲート電極 12、前記ソース電極 16 及びドレイン電極 17 は、好ましくは、 Au 膜と Cr 膜との二層電極又は Au 膜と Pt 膜との二層電極により構成される。このように前記ゲート電極 12、前記ソース電極 16 及びドレイン電極 17 を二層電極で構成すると接触抵抗をいっそう低減して電気特性を改善することができ、また、それらの電極剥を剥がれにくくし、そのために、歩留まりが向上する。

【0044】前記ゲート電極 12、ソース電極 16 及びドレイン電極 17 は、好ましくは、30~500nm の厚みを有する。

【0045】前記ゲート電気絶縁層 13 は、例えば、絶縁体はシリコン酸化物、シリコン窒化物、チタン酸化物、バリウム酸化物、ストロンチウム酸化物、ジルコニウム酸化物、鉛酸化物、ランタン酸化物、フッ素酸化物、マグネシウム酸化物、ビスマス酸化物、タンタル酸化物及びニオブ酸化物であるが、具体的には、二酸化ケイ素、チタン酸バリウムストロンチウム、ジルコニウム酸チタン酸バリウム、ジルコニウム酸チタン酸鉛、チタン酸鉛ランタン、チタン酸ストロンチウム、チタン酸バ

リウム、フッ化バリウムマグネシウム、チタン酸ビスマス、チタン酸ストロンチウムビスマス、五酸化タンタル、タンタル酸ストロンチウムビスマス、タンタル酸ニオブ酸ビスマス、二酸化チタン及び三酸化イットリウムとこれらの組合せよりなる群から選択される材料で構成され、好ましくは、 Si_3N_4 、 Si_xN_y ($x, y > 0$)、 SiON_x 等の窒化ケイ素で構成される。

【0046】また、前記ゲート電気絶縁層 13 は、アルコキシド金属を含む前駆物質でも形成される。このような金属酸化物よりなるゲート電気絶縁層 13 は、アルコキシド金属を含む前駆物質の溶液を例えば基板に被覆し、これを熱処理することを含む化学溶液処理をすることにより形成される。前記金属は、例えば、遷移金属、ランタノイド、又は、主族元素から選択され、具体的には、バリウム (Ba)、ストロンチウム (Sr)、チタン (Ti)、ビスマス (Bi)、タンタル (Ta)、ジルコニウム (Zr)、鉄 (Fe)、ニッケル (Ni)、マンガニン (Mn)、鉛 (Pb)、ランタン (La)、リチウム (Li)、ナトリウム (Na)、カリウム (K)、ルビジウム (Rb)、セシウム (Cs)、フランシウム (Fr)、ベリリウム (Be)、マグネシウム (Mg)、カルシウム (Ca)、ニオブ (Nb)、タリウム (Tl)、水銀 (Hg)、銅 (Cu)、コバルト (Co)、ロジウム (Rh)、スカンジウム (Sc) 及びイットリウム (Y) よりなる群から選択される。前記、アルコキシドは、メタノール、エタノール、プロパノール、イソプロパノール、ブタノール、イソブタノールを含むアルコールから誘導され、メトキシエタノール、エトキシエタノール、プロポキシエタノール、ブトキシエタノール、ペントキシエタノール、ヘプトキシエタノール、メトキシプロパノール、エトキシプロパノール、プロポキシプロパノール、ブトキシプロパノール、ペントキシプロパノール、ヘプトキシプロパノールを含むアルコキシアルコールから誘導される。

【0047】ゲート電気絶縁層 13 を上記したような材料で構成すると、ゲート電気絶縁層中に空乏層が発生しやすくなり、トランジスタ動作のしきい電圧を低減することとなる。また、ゲート電気絶縁層 13 を Si_3N_4 、 Si_xN_y ($x, y > 0$)、 SiON_x 等の窒化ケイ素で構成すると、ゲート電気絶縁層中に空乏層がいっそう発生しやすくなり、トランジスタ動作のしきい電圧をさらに低減させることとなる。

【0048】そして、前記ゲート電気絶縁層 13 は、好ましくは、10~150nm の厚みを有し、例えば、真空蒸着、スパッタリング、熱 CVD 法、等の手段を用いて形成される。

【0049】本発明においては、ゲート電気絶縁層 13 は、さらに好ましくは、 Si_3N_4 、 Si_xN_y ($x, y > 0$)、 SiON_x 等の窒化ケイ素よりなる第 2 のゲート電気絶縁層 13b とその上に設けられた二酸化ケ

イ素よりなる第1のゲート電気絶縁層13aとで構成される。前記第1のゲート電気絶縁層13aは、好ましくは、5~50nmの厚みを有し、また、前記第2のゲート電気絶縁層13bは、好ましくは、10~150nmの厚みを有している。前記第2のゲート電気絶縁層13bの多数の微小間隙の内壁は、好ましくは、酸化ケイ素の膜を少なくとも部分的に有している。

【0050】このように、ゲート電気絶縁層を二層にすることによって、下地に形成された薄い窒化ケイ素よりなる第2のゲート電気絶縁層13bにピンホールがあった場合であっても上層に形成された二酸化ケイ素よりなる第1のゲート電気絶縁層13aによって覆われるので、有機半導体層18とゲート電気絶縁層13間に発生する可能性のあるリーク電流を抑制することができ、そのために、トランジスタ動作のしきい電圧を低減したものとすることができる。

【0051】また、二酸化ケイ素(SiO_2)膜と Si_3N_4 、 Si_xN_y ($x, y > 0$)、 SiON_x 等の窒化ケイ素とを含み、それらの膜厚を数1000オングストロームから1ミクロン程度と比較的厚くしたので、膜中のトラップ単位によって観測されるPooler-Frenkel電流は見られず、また、トンネル現象によるトンネル電流や絶縁膜中の空間電荷電流さらに絶縁膜中における浅いトラップ単位によるホッピング電流を抑えることができ、そのために、絶縁耐圧を決める支配的な要因を膜厚だけとみなせることになり、トランジスタ動作のための電圧が制御し易くなる。

【0052】さらに、前記第2のゲート電気絶縁層13bの多数の微小間隙の内壁に酸化ケイ素の膜を少なくとも部分的に有し、かかる酸化ケイ素の膜がアンカー効果を奏するので、窒化ケイ素よりなる第2のゲート電気絶縁層13bの上に設けられた二酸化ケイ素よりなる第1のゲート電気絶縁層13aが第2のゲート電気絶縁層13bから剥離しにくくなる。

【0053】本発明によれば、前記ソース電気絶縁層14とドレイン電気絶縁層15との厚みは、好ましくは、同等であって、前記ゲート電気絶縁層13の厚みよりも厚いものとする。このように、前記ソース電気絶縁層14とドレイン電気絶縁層15との厚みが、同等であって、前記ゲート電気絶縁層13の厚みよりも厚いものとする、ゲート領域直下にかかる電界が均一にすることができるのでチャネル領域で空乏層の発生制御がし易くなり、また、電子がソースドレイン間の強い電界に高速で引かれてドレイン領域に吸収され易くなる。それらのために、トランジスタ動作のしきい電圧を低減したものとすることができる。

【0054】前記有機半導体層18を構成する有機半導体材料は、例えば、①ナフタレン、アントラセン、テトラセン、ペンタセン、ヘキサセン及びそれらの誘導体よりなる群から選択されるアセン分子材料、②フタロシア

ニン系化合物、アゾ系化合物及びペリレン系化合物よりなる群から選ばれる顔料及びその誘導体、③ヒドラゾン化合物、トリフェニルメタン化合物、ジフェニルメタン化合物、スチルベン化合物、アリールビニル化合物、ピラゾリン化合物、トリフェニルアミン化合物及びトリアリールアミン化合物よりなる群から選択される低分子化合物及びその誘導体、或いは、④ポリ-N-ビニルカルバゾール、ハロゲン化ポリ-N-ビニルカルバゾール、ポリビニルピレン、ポリビニルアントラセン、ピレンホルムアルデヒド樹脂及びエチルカルバゾールホルムアルデヒド樹脂よりなる群から選択される高分子化合物である。また、前記半導体層18を構成する有機半導体材料は、フルオレノン系、ジフェノキノン系、ベンゾキノ系、アントラキノ系、インデノン系、ポリチオフェン系及びポリフェニレンビニレン系化合物であってもかまわない。

【0055】前記有機半導体層18は、蒸着、化学蒸着、スピンコーティング、印刷、塗布及びペーキング、エレクトロポリマライゼーション、分子ビーム付着、溶液からのセルフ・アセンブリ、並びに、これらの組合せよりなる群から選択される手段を用いて前記したような有機半導体材料で形成される。

【0056】(I) 本発明の薄膜トランジスタの製造例1

本発明の薄膜トランジスタは、図2に示されるように、(i) ゲート層11の裏面にゲート電極を形成する工程、(ii) ゲート層11の表面全体に電気絶縁層(13)を形成する工程、(iii) 前記電気絶縁層(13)をスパッタリング、エッチング等の手段によりストライプ状にパターンニングしてゲート電気絶縁層13を形成する工程、(iv) 前記ゲート電気絶縁層13をマスクとして、パターンニングの際に露出したゲート層11の表面にソース電気絶縁層14及びドレイン電気絶縁層15を形成する工程、(v) 前記ゲート電気絶縁層13をマスクとして、前記ソース電気絶縁層14及びドレイン電気絶縁層15の上にそれぞれソース電極16及びドレイン電極17を形成する工程、並びに、(vi) 前記ゲート電気絶縁層13上にこれを埋めるように有機半導体材料で有機半導体層18を形成する工程、を順次経て製造される。

【0057】前記本発明の薄膜トランジスタの製造例1の各製造工程は、好ましくは、次のように具体化される。

・前記(i) 工程

基板の裏面にアルミニウム膜を真空蒸着、スパッタリング等の手段により成膜して1 μ 厚のゲート電極12を形成する[図2(A)]。

・前記(ii) 工程

基板の表面の全面に、例えば、温度を750~900℃、時間を30~45分程度として、 Si_3N_4 膜を約500Åの膜厚で成膜し、次に、アルゴンガスをを用いた

スパッタリング法やCF₄等を用いた反応性イオンエッチング等によりストライプ状にパターニングしてゲート電気絶縁層13を形成する[図2(B)]。

・前記(h) 工程

残存するゲート電気絶縁層13をマスクとして、露出したシリコン基板表面を例えば温度1000℃から1100℃、時間が60分から90分でパイロ酸化法によりSiO₂膜を1μ厚に成膜する。これにより、ソース電気絶縁層14とドレイン電気絶縁層15が形成される[図2(C)]。

・前記(i) 工程

Cr膜とAu膜とをメタルマスクを用いて蒸着してCr膜とAu膜との二層構造から成るソース電極とドレイン電極とを形成する[図2(D)]。

・前記(j) 工程

ソース領域(14、16)とドレイン領域(15、17)の間のゲート電気絶縁層13上に有機半導体材料で埋めるようにして配置したメタルマスクを用いて、例えば、有機半導体であるポリアルキルチオフェンをスピコートにより約3000rpmで1000~3000Åの厚みに成膜して有機半導体層18を形成する[図2(E)]。

【0058】前記ポリチオフェンに代表されるπ共役系導電性高分子は、通常は、不溶不融のポリマーであるので、その構造解析は限られた手段でしか行われていない。そこで、ポリチオフェンの側鎖にアルキル基などを導入することによって、一般的な溶媒への溶解性、加工性及び安定性が大きく向上することが知られている。ポリアルキルチオフェンは、結合位置による位置規則性が存在しており、この中でもhead-to-tail(頭一尾)結合を有するユニットでは、立体障害が小さいため、head-to-head(頭一頭)結合を有するユニットに比べて、電気伝導度が優れたものとなることが知られている。有機半導体層18に前記ポリアルキルチオフェン以外のπ共役系導電性高分子を用いても良いことは言うまでもない。有機半導体層18を水分や空気から保護するための、図示しない封止処理を施した後に、本発明による薄膜トランジスタが完成する。

【0059】(II) 本発明の薄膜トランジスタの製造例2

本発明の薄膜トランジスタは、(i) シリコン基板11の裏面にゲート電極12を形成する工程、(ii) シリコン基板11の表面全体に窒化ケイ素よりなる電気絶縁層(13a)を形成する工程、(iii) 前記窒化ケイ素よりなる電気絶縁層(13b)をスパッタリング、エッチング等の手段を用いてストライプ状にパターニングして10~150nm厚の第2のゲート電気絶縁層13bを形成する工程、(iv) 前記第2のゲート電気絶縁層13bを形成したシリコン基板11を水素及び酸素の存在下において1000~1100℃で60~90分間加熱して、パター

ニングの際に露出したシリコン基板の表面を酸化することにより二酸化ケイ素よりなるソース電気絶縁層14及びドレイン電気絶縁層15を形成すると共に、前記第2のゲート電気絶縁層13bの多数の微小間隙を通じて前記第2のゲート電気絶縁層13bの下のシリコン基板11の表面から気化してきた気体状ケイ素の酸化により生成する二酸化ケイ素で、前記微小間隙の内壁に膜を少なくとも部分的に付着させ、且つ、前記第2のゲート電気絶縁層13bの表面に5~10nm厚の第1のゲート電気絶縁層13aを形成する工程、(v) 前記ゲート電気絶縁層13をマスクとして、前記ソース電気絶縁層14及びドレイン電気絶縁層15の上にそれぞれソース電極16及びドレイン電極17を形成する工程、並びに、(vi) 前記ゲート電気絶縁層13上にこれを埋めるように有機半導体材料で有機半導体層18を形成する工程、を順次経て製造される。

【0060】前記本発明の薄膜トランジスタの製造例2の各製造工程は、好ましくは、次のように具体化される。

・前記(i) 工程

N型或いはP型シリコン基板11、例えば、比抵抗0.01Ω・cmの単結晶Si(001)基板の裏面にアルミニウム膜を真空蒸着、スパッタリング等の手段により成膜して1μ厚のゲート電極12を形成する[図2(A)]。

・前記(ii) 工程

シリコン基板11の表面の全面に、例えば、温度を700~900℃、時間を20~40分程度としたジクロロシラン(SiH₂Cl₂)とアンモニア(NH₃)を用いた熱CVD法などの化学気相法によりSi₃N₄膜を100~1500Åの膜厚で成膜し、次に、アルゴンガスをを用いたスパッタリング法やC₂F₆、CF₄やCHF₃等を用いた反応性イオンエッチング等によりストライプ状にパターニングしてゲート電気絶縁層13を形成する[図2(B)]。

・前記(iii) 工程

前記第2のゲート電気絶縁層13bを形成したシリコン基板11を水素及び酸素の存在下において1000~1100℃で60~90分間加熱して、パターニングの際に露出したシリコン基板の表面を酸化することにより二酸化ケイ素よりなる300~1000nm厚のソース電気絶縁層14及びドレイン電気絶縁層15を形成すると共に、前記第2のゲート電気絶縁層13bの多数の微小間隙を通じて前記第2のゲート電気絶縁層13bの下のシリコン基板11の表面から気化してきた気体状ケイ素の酸化により生成する二酸化ケイ素で、前記微小間隙の内壁に膜を少なくとも部分的に付着させ、且つ、前記第2のゲート電気絶縁層13bの表面に5~10nm厚の第1のゲート電気絶縁層13aを形成する[図2(C)、図4]。

・前記(=) 工程

Cr膜とAu膜とをメタルマスクを用いて蒸着してCr膜とAu膜との二層構造から成るソース電極とドレイン電極とを形成する〔図2 (D)〕。

・前記(※) 工程

ソース領域(14、16)とドレイン領域(15、17)の間のゲート電気絶縁層13上を有機半導体材料で埋めるようにして配置したメタルマスクを用いて、例えば、有機半導体であるポリアルキルチオフェンをスピコートにより約3000rpmで1000~3000Åの厚みに成膜して有機半導体層18を形成する〔図2 (E)〕。

【0061】本発明の電気絶縁膜13は、 Si_3N_4 、 Si_xNy ($x, y > 0$)、 $SiON_x$ 等の窒化ケイ素化合物よりなる10~150nm厚の第2の電気絶縁層13bとその上に設けた二酸化ケイ素化合物よりなる5~10nm厚の第1の電気絶縁層13aとを有している。そして、前記第2の電気絶縁層13aの多数の微小間隙の内壁は、好ましくは、二酸化ケイ素化合物の膜を少なくとも部分的に有している。

【0062】このような電気絶縁膜13は、(i) シリコン基板11の表面に Si_3N_4 、 Si_xNy ($x, y > 0$)、 $SiON_x$ 等の窒化ケイ素化合物よりなる10~150nm厚の第2の電気絶縁層13aを形成する行程、及び、(ii) 前記第2の電気絶縁層13aを形成したシリコン基板11を水素及び酸素の存在下において1000~1100℃で60~90分間加熱して、前記第2の電気絶縁層13aの多数の微小間隙を通じて前記第2の電気絶縁層13aの下シリコン基板11の表面から気化してきた気体状ケイ素の酸化により生成する酸化ケイ素化合物で、前記微小間隙の内壁に膜を少なくとも部分的に付着させ、且つ、前記第2の電気絶縁層13bの表面に5~10nm厚の第1の電気絶縁層13aを形成する工程、を順次経て製造される。

【0063】図3は、本発明の製造例により制作された薄膜トランジスタの性能、即ち、静特性($V_{sd}-I_{sd}$ 特性)を測定したグラフであるが、このグラフにより本発明の薄膜トランジスタの基本動作が確認できている。図中、ソースドレイン電圧並びにソースドレイン電流は任意単位である。

【0064】

【発明の効果】(1) 請求項1、17~19に記載された発明によれば、トランジスタ動作のしきい電圧を低減したものとすることができる。

(2) 請求項2に記載された発明によれば、ソース電極とゲート電極との間或いはドレイン電極とゲート電極との間のリーク電流を抑制することができる。

(3) 請求項3~5に記載された発明によれば、ゲート電気絶縁層に印加する電圧のゲート電気絶縁層内における均一化が図れる。

【0065】(4) 請求項6、8に記載された発明によれば、ゲート電極、ソース電極及びドレイン電極の接触抵抗を低減して電気特性を改善することができる。

(5) 請求項7に記載された発明によれば、ゲート電極、ソース電極及びドレイン電極の接触抵抗をいっそう低減して電気特性を改善することができ、また、それらの電極を剥がれにくくし、そのために、歩留まりを向上させることができる。

(6) 請求項9、11に記載された発明によれば、ゲート電気絶縁層中に空乏層が発生しやすくなり、トランジスタ動作のしきい電圧を低減することとなる。

【0066】(7) 請求項10に記載された発明によれば、ゲート電気絶縁層中に空乏層がいっそう発生しやすくなり、トランジスタ動作のしきい電圧をさらに低減することとなる。

(8) 請求項12~14、20~21に記載された発明によれば、ゲート電気絶縁層を二層にすることによって、下地に形成された薄い窒化ケイ素よりなる第2のゲート電気絶縁層にピンホールがあった場合であっても上層に形成された二酸化ケイ素よりなる第1のゲート電気絶縁層によって覆われるので、有機半導体層とゲート電気絶縁層間に発生する可能性のあるリーク電流を抑制することができ、そのために、トランジスタ動作のしきい電圧をさらに低減したものとすることができ、また、第2のゲート電気絶縁層の多数の微小間隙の内壁に酸化ケイ素の膜を少なくとも部分的に有し、かかる酸化ケイ素の膜がアンカー効果を奏するので、窒化ケイ素よりなる第2のゲート電気絶縁層の上に設けられた二酸化ケイ素よりなる第1のゲート電気絶縁層が第2のゲート電気絶縁層から剥離しにくくなる。

【0067】(9) 請求項15に記載された発明によれば、ゲート領域直下にかかる電界が均一にすることができるのでチャネル領域で空乏層の発生制御がし易くなり、また、電子がソースドレイン間の強い電界に高速で引かれてドレイン領域に吸収され易くなる。それらのために、トランジスタ動作のしきい電圧を低減したものとすることができる。

(10) 請求項16に記載された発明によれば、有機半導体材料が、①ナフタレン、アントラセン、テトラセン、ペンタセン、ヘキサセン及びそれらの誘導体よりなる群から選択されるアセン分子材料、②フタロシアニン系化合物、アゾ系化合物及びベリレン系化合物よりなる群から選ばれる顔料及びその誘導体、③ヒドラゾン化合物、トリフェニルメタン化合物、ジフェニルメタン化合物、スチルベン化合物、アリールビニル化合物、ピラゾリン化合物、トリフェニルアミン化合物及びトリアリールアミン化合物よりなる群から選択される低分子化合物及びその誘導体、或いは、④ポリ-N-ビニルカルバゾール、ハロゲン化ポリ-N-ビニルカルバゾール、ポリビニルピレン、ポリビニルアントラセン、ピレンホルム

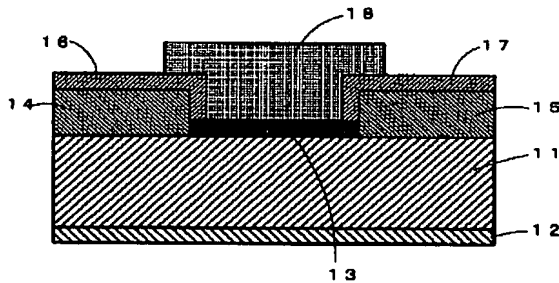
アルデヒド樹脂及びエチルカルバゾールホルムアルデヒド樹脂よりなる群から選択される高分子化合物などを具体的に示したので、本発明が実施しやすい。

【0068】(11) 請求項 22～24 に記載された発明によれば、下地に形成された薄い窒化ケイ素よりなる第 2 のゲート電気絶縁層にピンホールがあった場合であっても上層に形成された二酸化ケイ素よりなる第 1 のゲート電気絶縁層によって覆われるので、有機半導体層とゲート電気絶縁層間に発生する可能性のあるリーク電流を抑制することができ、そのために、トランジスタ動作のしきい電圧をさらに低減したものとすることができ、また、第 2 のゲート電気絶縁層の多数の微小間隙の内壁に酸化ケイ素の膜を少なくとも部分的に有し、かかる酸化ケイ素の膜がアンカー効果を奏するので、窒化ケイ素よりなる第 2 のゲート電気絶縁層の上に設けられた二酸化ケイ素よりなる第 1 のゲート電気絶縁層が第 2 のゲート電気絶縁層から剥離しにくくなる。

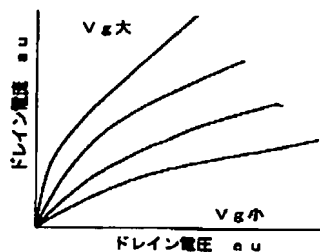
【図面の簡単な説明】

【図 1】 本発明の一実施の形態を示す薄膜トランジスタ

【図 1】



【図 3】



の断面図である。

【図 2】 本発明の一実施の形態を示す薄膜トランジスタの製造工程を示す説明図である。

【図 3】 本発明の製造例により制作された薄膜トランジスタの性能を測定したグラフである。

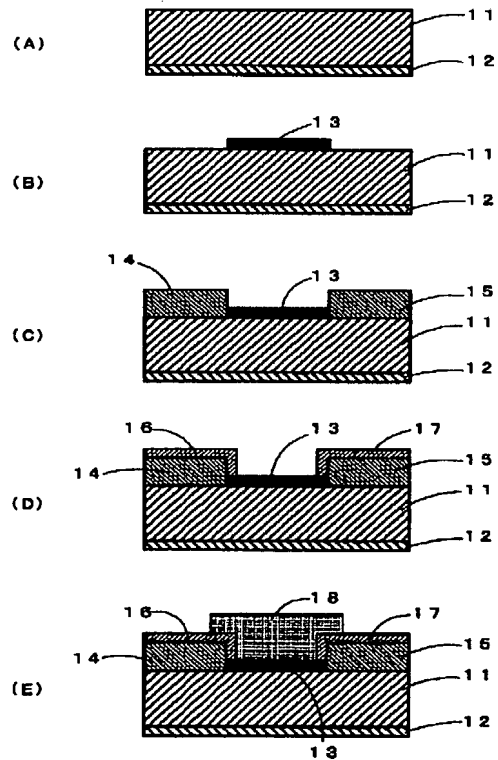
【図 4】 本発明の他の一実施の形態を示す薄膜トランジスタの断面図である。

【図 5】 従来の薄膜トランジスタの断面図である。

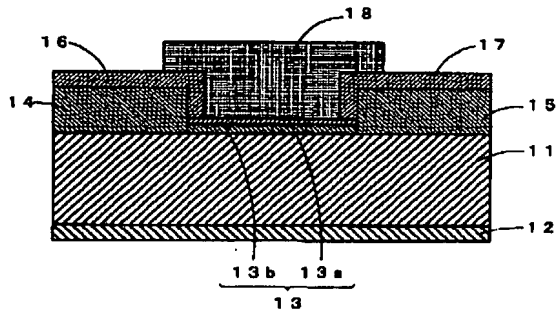
【符号の説明】

- 11 ゲート層 (基板)
- 12 ゲート電極
- 13 ゲート電気絶縁層
- 13a 第 1 のゲート電気絶縁層
- 13b 第 2 のゲート電気絶縁層
- 14 ソース電気絶縁層
- 15 ドレイン電気絶縁層
- 16 ソース電極
- 17 ドレイン電極
- 18 有機半導体層

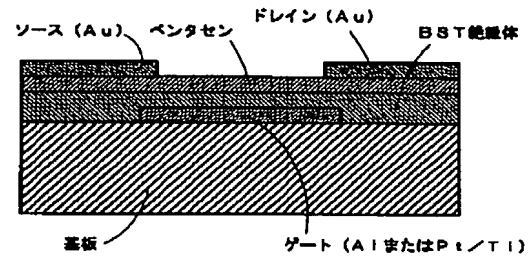
【図 2】



【図4】



【図5】



フロントページの続き

Fターム(参考) 5F058 BD01 BD02 BD04 BD05 BD10
 BD15 BJ01 BJ10
 5F110 AA06 AA30 CC07 DD01 DD02
 DD03 DD05 EE01 EE02 EE03
 EE04 EE44 FF01 FF02 FF03
 FF04 FF09 GG01 GG05 GG41
 GG42 HK02 HK04 HK21 HK32